

jc996 U.S. PRO  
09/982963  
  
10/22/01

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Masataka HOSHINO**

Serial No.: **Not Yet Assigned**

Filed: **October 22, 2001**

For: **THREE DIMENSIONAL SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE  
AND METHOD FOR MAKING THE SAME**

**CLAIM FOR PRIORITY UNDER 35 U.S.C. 119**

Commissioner for Patents  
Washington, D.C. 20231

October 22, 2001

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

**Japanese Appln. No. 2001-196777, filed June 28, 2001**

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicant has complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,  
ARMSTRONG, WESTERMAN, HATTORI  
McLELAND & NAUGHTON, LLP



Donald W. Hanson  
Reg. No. 27,133

Atty. Docket No.: 011354  
Suite 1000, 1725 K Street, N.W.  
Washington, D.C. 20006  
Tel: (202) 659-2930  
Fax: (202) 887-0357  
DWH/l1

PATENT OFFICE  
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy  
of the following application as filed with this office.

Date of Application: June 28, 2001

Application Number: Japanese Patent Application  
No. 2001-196777

Applicant(s) FUJITSU LIMITED

August 31, 2001

Commissioner,  
Patent Office                    Kouzo Oikawa (Seal)

Certificate No. 2001-3081001

日本国特許庁  
JAPAN PATENT OFFICE

jc995 U.S. PRO  
jcs09/982963  
10/22/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office

出願年月日

Date of Application: 2001年 6月28日

出願番号

Application Number: 特願2001-196777

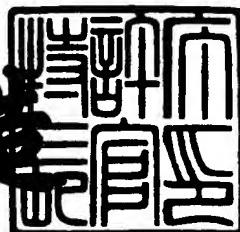
出願人

Applicant(s): 富士通株式会社

2001年 8月31日

特許庁長官  
Commissioner,  
Japan Patent Office

及川耕造



【書類名】 特許願  
 【整理番号】 0150096  
 【提出日】 平成13年 6月28日  
 【あて先】 特許庁長官 及川 耕造 殿  
 【国際特許分類】 H01L 23/52  
                   H01L 23/538  
 【発明の名称】 半導体装置およびその製造方法  
 【請求項の数】 6  
 【発明者】  
 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通  
                   株式会社内  
 【氏名】 星野 雅孝  
 【特許出願人】  
 【識別番号】 000005223  
 【氏名又は名称】 富士通株式会社  
 【代理人】  
 【識別番号】 100070150  
 【住所又は居所】 東京都渋谷区恵比寿4丁目20番3号 恵比寿ガーデン  
                   プレイスタワー32階  
 【弁理士】  
 【氏名又は名称】 伊東 忠彦  
 【電話番号】 03-5424-2511  
 【手数料の表示】  
 【予納台帳番号】 002989  
 【納付金額】 21,000円  
 【その他】 国等の委託研究の成果に係る特許出願（平成12年度新  
                   エネルギー・産業技術総合開発機構「超高密度電子S/I  
                   技術の研究開発（エネルギー使用合理化技術開発）」委  
                   託研究、産業活力再生特別措置法第30条の適用を受け

るもの)

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704678

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項1】 半導体基板と、

前記半導体基板の第1の表面上に形成された半導体素子と、

前記半導体基板の前記第1の表面上に、前記半導体素子を覆うように形成された絶縁膜と、

前記絶縁膜上に形成された多層配線構造と、

前記半導体基板中に、前記第1の表面から第2の対向する表面に貫通するよう  
に形成され、さらに前記絶縁膜中を貫通する貫通孔と、

前記貫通孔中に形成され、前記第1の表面から前記第2の表面まで延在する貫  
通電極とを備えた半導体装置であって、

前記貫通孔は、前記絶縁膜中においては第1の径を、前記半導体基板中におい  
ては第2の、より大きな径を有し、

前記貫通電極は、その全長にわたり前記第1の径に実質的に等しい径を有し、  
前記半導体基板中においては前記貫通電極と前記貫通孔内壁との間に、絶縁膜ス  
リーブが介在することを特徴とする半導体装置。

【請求項2】 前記絶縁膜スリーブは、オルガノシロキサン系材料、水素化  
シロキサン系材料、有機ポリマー、およびこれらの多孔質材料のいずれかよりな  
ることを特徴とする請求項1記載の半導体装置。

【請求項3】 前記絶縁膜スリーブは、約3.0以下の比誘電率を有するこ  
とを特徴とする請求項1または2記載の半導体装置。

【請求項4】 前記貫通電極はCuを主成分とする金属よりなることを特徴  
とする請求項1～3のうち、いずれか一項記載の半導体装置。

【請求項5】 貫通電極を有する半導体装置の製造方法であって、  
半導体基板の第1の主面上に絶縁膜を形成する工程と、

前記絶縁膜中に、前記半導体基板を露出する開口部を第1の径で形成する工程  
と、

前記半導体基板中に、前記絶縁膜をマスクとして前記半導体基板の正面に略垂

直な方向に作用する異方性エッティングを行い、前記開口部から前記半導体基板中に延在する凹部を、前記凹部が前記半導体基板中において前記第1の径よりも大きな第2の径を有するように形成する工程と、

前記開口部および前記凹部を塗布絶縁膜により充填する工程と、

前記開口部中および前記凹部を充填している前記塗布絶縁膜を、前記絶縁膜をマスクとして、前記半導体基板の主面に略垂直な方向に異方性エッティングし、前記凹部中の塗布絶縁膜中に、前記開口部から連続的に延在する空間を形成する工程と、

前記絶縁膜上に、前記開口部および前記空間を充填するように導電層を堆積する工程と、

前記絶縁膜上において前記導電層を除去し、前記開口部および前記空間中に導電性プラグを形成する工程と、

前記半導体基板の第2の、前記第1の主面に対向する主面に対して、前記半導体基板の構成材料を除去する工程を行い、前記導電性プラグを露出させる工程とよりなることを特徴とする半導体装置の製造方法。

**【請求項6】** 前記半導体基板の第2の主面に対して施される、前記半導体基板の構成材料を除去する工程はドライエッティング工程よりなり、前記塗布絶縁膜は、前記ドライエッティング工程に対して耐性を有する材料よりなることを特徴とする請求項5記載の半導体装置の製造方法。

**【発明の詳細な説明】**

**【0001】**

**【発明の属する技術分野】**

本発明は一般に半導体装置に係り、特に多層配線構造を有する半導体チップを多数積層した3次元半導体集積回路装置およびその製造方法に関する。

**【0002】**

従来より、半導体集積回路装置の集積密度を向上させるために様々な努力がなされているが、3次元半導体集積回路装置は究極的な半導体集積回路装置であると考えられる。かかる3次元半導体集積回路装置を実現するために、様々な提案がなされている。

【0003】

【従来の技術】

図1は、かかる従来提案されている3次元半導体集積回路装置10の概略的構成を示す。

【0004】

図1を参照するに、半導体集積回路装置1は表面側に配線パターン10Aを、裏面側にはんだバンプ10Bを形成された支持基板10と、前記支持基板10上に積層された多数の半導体チップ11A～11Dより構成され、各々の半導体チップは11A～11Dは表面から裏面に貫通する貫通電極11a～11dを有し、さらに表面上に2次元集積回路を担持する。かかる半導体チップを重ね合わせることにより、一の半導体チップの裏面に露出した貫通電極が下側の半導体チップ表面に形成された電極パッドとコンタクトし、全体として所望の機能を実行する3次元半導体集積回路装置が得られる。かかる3次元半導体集積回路装置においては、貫通電極と多層配線構造とを接続することにより、最小限の配線長で複雑な回路を構成することが可能である。

【0005】

図2(A)～5(H)は、かかる半導体チップの一つ、例えば半導体チップ11Aの形成工程を示す図である。

【0006】

図2(A)を参照するに、Si基板21上にはゲート電極22および拡散領域21A, 21Bを含む活性素子が形成されており、前記活性素子は層間絶縁膜23により、覆われている。さらに前記層間絶縁膜23中には前記拡散領域21A, 21Bを露出するコンタクトホールがそれぞれ形成され、かかるコンタクトホール中にはW等の導電性プラグ23A, 23Bが形成されている。

【0007】

図2(A)の状態では、さらに前記層間絶縁膜23上にレジスト開口部24Aを有するレジスト膜24が形成されており、かかるレジスト膜24をマスクに前記層間絶縁膜23がパターニングされ、図1の貫通電極11aに対応する開口部23Cが前記層間絶縁膜23中に形成されている。

## 【0008】

次に図2（B）の工程において前記Si基板21を前記開口部23Cを介してドライエッティングし、前記貫通電極11aに対応した凹部21Cを前記Si基板21中に、前記開口部23Cの延在部として形成する。

## 【0009】

次に図3（C）の工程において図2（B）の構造上にCVD法によりSiN膜25を、前記SiN膜25が前記層間絶縁膜23の表面および前記開口部23Cの内壁面、さらに前記凹部21Cの底面を含む内壁面を連続して覆うように堆積する。

## 【0010】

さらに図3（D）の工程において図3（C）の構造上に、より具体的には前記CVD-SiN膜25上にTiN膜およびCu膜をCVD法により形成し、さらに前記CVD-Cu膜を電極にCuの電解めっきを行うことにより、Cu層26を形成する。かかるCu層26は前記凹部21C中において、前記凹部21Cを充填するプラグ26Cを形成する。

## 【0011】

さらに図4（E）の工程において前記層間絶縁膜23上のCu層26をCMP（化学機械研磨）法により除去した後、図4（F）の工程において前記層間絶縁膜23上に次の層間絶縁膜27を形成し、さらに前記層間絶縁膜27中にダマシング法によりCu配線パターン27Aを形成する。

## 【0012】

さらに図5（G）の工程において前記層間絶縁膜27上に次の層間絶縁膜28を形成し、さらに前記層間絶縁膜28中にデュアルダマシング法により、コンタクトプラグを含む次のCu配線パターン28Aを形成する。

最後に図5（H）の工程において前記Si基板21の裏面を研磨し露出したCuプラグ26C上に拡散防止膜29Aを介して導電性パッド29Bを形成することにより、図1に示した半導体チップ11Aが得られる。図5（H）の構造では、前記Cuプラグ26Cが図1の貫通電極11aを形成している。

## 【0013】

**【発明が解決しようとする課題】**

ところで、図2 (A) ~図5 (H) の工程により前記半導体チップ11Aを形成した場合には、図2 (B) の工程で深い凹部21Cを形成する際に前記凹部21Cの径が開口部23Cの径よりも増加してしまい、その結果前記凹部21Cの上端において前記層間絶縁膜23によりオーバーハングが形成される場合がある。前記開口部23Cの径は典型的には $10\mu m$ 程度であるのに対し、前記凹部21Cの深さは $60\mu m$ に達する。

**【0014】**

そこで図3 (C) の工程において上部にオーバーハングを有する凹部21Cの内壁面を覆うように前記CVD-SiN膜を形成しようとすると、径の狭まった前記凹部21Cの上端部、すなわち前記開口部23CにおいてSiN膜の堆積が促進される傾向があり、その結果前記開口部23Cの実効的な径がさらに狭められてしまう。このため図3 (C) の工程においてCu層26を電解めっきにより形成しようとした場合、前記凹部21Cの内部におけるCu層26の成長が不十分になり、前記Cuプラグ26C内部に空洞26c等の欠陥が発生しやすい問題が生じる。前記Cuプラグ26Cは、図1に示したように貫通電極11aを構成する重要な部分であり、かかる貫通電極11a中に欠陥が生じるようであると、図1に示す3次元半導体集積回路装置の信頼性は著しく低下してしまう。

**【0015】**

そこで、本発明は上記の課題を解決した、新規で有用な半導体装置の製造方法を提供することを概括的課題とする。

**【0016】**

本発明のより具体的な課題は、半導体チップ中に貫通電極を備え、高速で動作し、信頼性が高く、積層することにより容易に3次元半導体集積回路装置を形成できる半導体装置およびその製造方法、およびかかる半導体装置より構成された半導体集積回路装置を提供することにある。

**【0017】****【課題を解決するための手段】**

本発明は上記の課題を、半導体基板と、前記半導体基板の第1の表面上に形成

された半導体素子と、前記半導体基板の前記第1の表面上に、前記半導体素子を覆うように形成された絶縁膜と、前記絶縁膜上に形成された多層配線構造と、前記半導体基板中に、前記第1の表面から第2の対向する表面に貫通するように形成され、さらに前記絶縁膜中を貫通する貫通孔と、前記貫通孔中に形成され、前記第1の表面から前記第2の表面まで延在する貫通電極とを備えた半導体装置であって、前記貫通孔は、前記絶縁膜中においては第1の径を、前記半導体基板中においては第2の、より大きな径を有し、前記貫通電極は、その全長にわたり前記第1の径に実質的に等しい径を有し、前記半導体基板中においては前記貫通電極と前記貫通孔内壁との間に、絶縁膜スリーブが介在することを特徴とする半導体装置により解決する。

## 【0018】

また本発明は上記の課題を、貫通電極を有する半導体装置の製造方法であって、半導体基板の第1の主面上に絶縁膜を形成する工程と、前記絶縁膜中に、前記半導体基板を露出する開口部を第1の径で形成する工程と、前記半導体基板中に、前記絶縁膜をマスクとして前記半導体基板の主面に略垂直な方向に作用する異方性エッティングを行い、前記開口部から前記半導体基板中に延在する凹部を、前記凹部が前記半導体基板中において前記第1の径よりも大きな第2の径を有するように形成する工程と、前記開口部および前記凹部を塗布絶縁膜により充填する工程と、前記開口部中および前記凹部を充填している前記塗布絶縁膜を、前記絶縁膜をマスクとして、前記半導体基板の主面に略垂直な方向に異方性エッティングし、前記凹部中の塗布絶縁膜中に、前記開口部から連続的に延在する空間を形成する工程と、前記絶縁膜上に、前記開口部および前記空間を充填するように導電層を堆積する工程と、前記絶縁膜上において前記導電層を除去し、前記開口部および前記空間中に導電性プラグを形成する工程と、前記半導体基板の第2の、前記第1の主面に対向する主面に対して、前記半導体基板の構成材料を除去する工程を行い、前記導電性プラグを露出させる工程とよりなることを特徴とする半導体装置の製造方法により、解決する。

## 【0019】

本発明によれば、半導体基板上に形成された絶縁膜をハードマスクとして前記

半導体基板中に最終的には貫通孔となる凹部を形成する際に、かかる凹部形成に伴うアンダーカットの発生を利用して、前記凹部側壁面にスリーブ状に低誘電率を特徴とする塗布絶縁膜を形成することができる。そこで、このようなスリーブで囲まれた空間をCu等の低抵抗材料により充填して導電性プラグを形成することにより、寄生容量および寄生抵抗を軽減でき、その結果半導体装置の動作速度が向上する。またかかる塗布絶縁膜を前記凹部側壁面のみならず底面にもシース状に残しておくことにより、前記半導体基板の裏面をドライエッチングして前記基板の厚さを減少させる工程を行っても、典型的にはCuよりなる導電性プラグがかかる塗布絶縁膜により保護されているため損傷する事がない。その結果、前記半導体基板の裏面において前記導電性プラグが前記塗布絶縁膜により覆われた状態で突出している状態が得られるが、この状態で前記塗布絶縁膜をCMP法あるいはアッシングにより除去することにより、前記導電性プラグが前記半導体基板の裏面において電気的にコンタクト可能な状態になる。そこで前記半導体基板の裏面において前記導電性プラグの先端部にコンタクトパッドを形成し、このようにして形成された半導体装置ないしチップを多数積層することにより、高速で動作する3次元半導体集積回路装置を構成することが可能になる。

#### 【0020】

##### 【発明の実施の形態】

以下、本発明の一実施例による半導体装置の製造工程を、図6(A)～13(L)を参照しながら説明する。

#### 【0021】

図6(A)を参照するに、Si基板41上には拡散領域41Aおよび41Bの間にゲート電極42が形成されており、前記Si基板41上には前記ゲート電極42を覆うようにSiO<sub>2</sub>膜43が形成されている。前記SiO<sub>2</sub>膜43の表面が平坦化されており、前記拡散領域41A、41Bを露出するコンタクトホールにW等の導電性プラグ43A、43Bが形成されている。

#### 【0022】

さらに図6(A)の構造では前記SiO<sub>2</sub>膜43上にレジスト膜44が形成されており、前記レジスト膜44中に形成されたレジスト開口部44Aにおいて

前記  $\text{SiO}_2$  膜 4 3 が例えば  $\text{CF}_4$  系エッティングガスによりエッティングされており、その結果前記  $\text{SiO}_2$  膜 4 3 中には前記  $\text{Si}$  基板 4 1 を露出する開口部 4 3 C が約  $10 \mu\text{m}$  の径で形成されている。

## 【0023】

次に図 6 (B) の工程において、前記  $\text{Si}$  基板 4 1 は前記開口部 4 3 Cにおいて例えば  $\text{SF}_6$  ガスと炭化水素系ガスとを交互に使う反応性イオンエッティング (RIE) によりエッティングされ、前記  $\text{Si}$  基板 4 1 中には基板 4 1 の主面に略垂直な方向に延在する凹部 4 1 C が、前記開口部 4 3 C に対応して形成される。その際、前記  $\text{SiO}_2$  膜 4 3 はハードマスクとして作用し、エッティングは前記  $\text{Si}$  基板 4 1 中において選択的に生じる。かかるエッティングの際、前記凹部 4 1 C は側方へも拡大し、その結果凹部 4 1 C は前記開口部 4 3 C の径よりもやや大きい、例えば  $11 \mu\text{m}$  程度の径を有する。

## 【0024】

次に図 7 (C) の工程において、図 6 (B) の構造上に低誘電率の塗布絶縁膜 4 5 がスピンドルコートにより形成される。かかる塗布絶縁膜としては、オルガノシロキサン系塗布絶縁膜、水素化シロキサン系塗布絶縁膜、有機ポリマー、あるいはこれらの材料よりなる多孔質塗布絶縁膜を使うことが可能である。これらの塗布絶縁膜は、典型的には 3.0 以下の低い比誘電率を有している。

## 【0025】

次に図 7 (D) の工程において前記塗布絶縁膜 4 5 をキュアした後、酸素プラズマを使った RIE 法により、前記塗布絶縁膜 4 5 を、前記  $\text{SiO}_2$  膜 4 3 をマスクに前記基板 4 1 に略垂直な方向にエッティングし、前記凹部 4 1 C を充填する塗布絶縁膜 4 5 中に前記基板 4 1 の主面に略垂直に延在する空間 4 5 A を形成する。なお図 7 (D) の工程では前記 RIE エッティングの結果、前記絶縁膜 4 3 上からは前記塗布絶縁膜 4 5 は除去されている。

## 【0026】

さらに図 7 (D) の RIE エッティング工程を継続することにより、前記凹部 4 1 C 中の塗布絶縁膜 4 5 中には前記空間 4 5 A が前記開口部 4 3 C と実質的に同一の径で形成され、残留した前記塗布絶縁膜 4 5 は前記凹部 4 1 C の内壁に沿つ

てスリーブ45Bを形成する。図8(E)の例では、前記塗布絶縁膜45は前記開口部41Cの底部にも残されている。

## 【0027】

次に図8(F)の工程において図8(E)の構造上にTiN膜(図示せず)およびCu膜(図示せず)が順次CVD法により、前記SiO<sub>2</sub>膜43の表面および前記開口部43Cの内壁面、さらに前記空間45Aの内壁面を一様に覆うように形成され、さらに前記Cu膜をシード層に電解めっきを行うことにより、前記SiO<sub>2</sub>膜43上に前記開口部43Cおよび前記空間45Aを連続して充填するようにCu層46が形成される。本実施例では、前記SiO<sub>2</sub>膜43の表面にSiN膜などが堆積されることがないため前記開口部43Cの径が狭められることなく、その結果前記Cu層26を堆積した場合、前記凹部41C中にボイドが形成されることはない。

## 【0028】

さらに図9(G)の工程においてCMP法により前記Cu層46を前記SiO<sub>2</sub>膜表面から除去することにより、前記凹部41C中にCuプラグ46Aを形成する。図9(G)よりわかるように前記Cuプラグ46Aは前記凹部41C中ににおいて塗布絶縁膜スリーブ45Bにより囲まれた状態で形成される。

## 【0029】

次に図9(H)の工程において図9(G)のSiO<sub>2</sub>膜43上に次の層間絶縁膜47が形成され、さらに前記層間絶縁膜47中に形成された配線溝をCu層で充填するダマシン工程により、前記配線溝中にCu配線パターン47Aが形成される。さらに図10(I)の工程において前記層間絶縁膜47上に次の層間絶縁膜48が形成され、さらに前記層間絶縁膜48中にデュアルダマシン法により、コンタクトプラグを含むCu配線パターン48Aが形成される。

## 【0030】

本発明ではさらに図11(J)の工程において前記Si基板41の裏面にSF<sub>6</sub>あるいはCF<sub>4</sub>をエッティングガスとして使ったRIE工程を適用し、Si基板41の厚さを減少させる。図11(J)の工程においては最初に前記Si基板41の裏面を研削し、その後RIEプロセスを適用してもよい。前記RIEプロセス

は、図11（J）に示すように前記Cuプラグ46Aが前記塗布絶縁膜スリーブ45Bにより覆われた状態で前記Si基板41の裏面に突出するまで実行される。その際、前記塗布絶縁膜としてSi基板をドライエッチングするRIEプロセスに対して十分な耐性を有するベンゾシクロブテン（BCB）などの低誘電率塗布絶縁膜としておくと好都合である。

## 【0031】

次に図12（K）の工程において前記Si基板41の裏面にTiN等の拡散防止膜（図示せず）を介してCu層49を略一様な厚さに堆積し、さらに図12（K）中に破線で示したラインまでCMP法により前記Cu層49を研磨する。その結果前記Cuプラグ46Aが露出し、さらに図13（L）の工程においてかかる露出したCuプラグ46Aの端面に、TiNなどの拡散防止膜（図示せず）を介してAuなどのコンタクトパッド50を形成する。

## 【0032】

図12（K）の工程を採用することにより、図10（I）の構造において前記Si基板41の裏面を直接に研磨して前記Cuプラグ46Aを露出させる場合に生じる、Si基板41とCuプラグ46Aとが同時に研磨される結果汚染が生じる問題が回避される。

## 【0033】

なお、前記塗布絶縁膜45としては、比誘電率が3.0以下の塗布絶縁膜が好ましいが、本発明はこれに限定されるものではなく、SOG等の塗布絶縁膜を使うことも可能である。

## 【0034】

また図11（J）の工程において、前記Si基板41の裏面に突出しているCuプラグ46Aの先端部を覆う塗布絶縁膜は、アッシング工程により除去することも可能である。

## 【0035】

このようにして得られた半導体装置40を図1の構成において前記半導体チップ11A～11Dの代わりに使うことにより、高速動作する信頼性の高い3次元半導体集積回路装置を構成することが可能になる。

【0036】

以上、本発明を好ましい実施例について説明したが、本発明はかかる特定の実施例に限定されるものではなく、特許請求の範囲に記載された要旨内において様々な変形・変更が可能である。

【0037】

(付記1) 半導体基板と、

前記半導体基板の第1の表面上に形成された半導体素子と、

前記半導体基板の前記第1の表面上に、前記半導体素子を覆うように形成された絶縁膜と、

前記絶縁膜上に形成された多層配線構造と、

前記半導体基板中に、前記第1の表面から第2の対向する表面に貫通するよう形成され、さらに前記絶縁膜中を貫通する貫通孔と、

前記貫通孔中に形成され、前記第1の表面から前記第2の表面まで延在する貫通電極とを備えた半導体装置であって、

前記貫通孔は、前記絶縁膜中においては第1の径を、前記半導体基板中においては第2の、より大きな径を有し、

前記貫通電極は、その全長にわたり前記第1の径に実質的に等しい径を有し、前記半導体基板中においては前記貫通電極と前記貫通孔内壁との間に、絶縁膜スリーブが介在することを特徴とする半導体装置。

【0038】

(付記2) 前記絶縁膜スリーブは、オルガノシロキサン系材料、水素化シロキサン系材料、有機ポリマー、およびこれらの多孔質材料のいずれかよりなることを特徴とする付記1記載の半導体装置。

【0039】

(付記3) 前記絶縁膜スリーブは、約3.0以下の比誘電率を有することを特徴とする付記1または2記載の半導体装置。

【0040】

(付記4) 前記貫通電極はCuを主成分とする金属よりなることを特徴とする付記1～3のうち、いずれか一項記載の半導体装置。

【0041】

(付記5) 支持基板と、

前記支持基板上に積層された複数の半導体チップとよりなり、各々の半導体チップは半導体基板と、前記半導体チップの第1の表面上に形成された半導体素子と、前記半導体チップの前記第1の表面上に、前記半導体素子を覆うように形成された絶縁膜と、前記絶縁膜上に形成された多層配線構造と、前記半導体チップ中に、前記第1の表面から第2の対向する表面に貫通するよう形成され、さらに前記絶縁膜中を貫通する貫通孔と、前記貫通孔中に形成され、前記第1の表面から前記第2の表面まで延在する貫通電極とを備え、前記貫通孔は、前記絶縁膜中においては第1の径を、前記半導体チップ中においては第2の、より大きな径を有し、前記貫通電極は、その全長にわたり前記第1の径に実質的に等しい径を有し、前記半導体基板中においては前記貫通電極と前記貫通孔内壁との間に、絶縁膜スリーブが介在することを特徴とする半導体集積回路装置

【0042】

(付記6) 前記絶縁膜スリーブは、オルガノシロキサン系材料、水素化シロキサン系材料、有機ポリマー、およびこれらの多孔質材料のいずれかよりなることを特徴とする付記5記載の半導体集積回路装置。

【0043】

(付記7) 前記絶縁膜スリーブは、3.0以下の比誘電率を有することを特徴とする付記5または6記載の半導体集積回路装置。

【0044】

(付記8) 前記貫通電極はCuを主成分とする金属よりなることを特徴とする付記5～7のうち、いずれか一項記載の半導体集積回路装置。

【0045】

(付記9) 貫通電極を有する半導体装置の製造方法であって、半導体基板の第1の主面上に絶縁膜を形成する工程と、前記絶縁膜中に、前記半導体基板を露出する開口部を第1の径で形成する工程と、

前記半導体基板中に、前記絶縁膜をマスクとして前記半導体基板の主面に略垂直な方向に作用する異方性エッティングを行い、前記開口部から前記半導体基板中に延在する凹部を、前記凹部が前記半導体基板中において前記第1の径よりも大きな第2の径を有するように形成する工程と、

前記開口部および前記凹部を塗布絶縁膜により充填する工程と、

前記開口部中および前記凹部を充填している前記塗布絶縁膜を、前記絶縁膜をマスクとして、前記半導体基板の主面に略垂直な方向に異方性エッティングし、前記凹部中の塗布絶縁膜中に、前記開口部から連続的に延在する空間を形成する工程と、

前記絶縁膜上に、前記開口部および前記空間を充填するように導電層を堆積する工程と、

前記絶縁膜上において前記導電層を除去し、前記開口部および前記空間中に導電性プラグを形成する工程と、

前記半導体基板の第2の、前記第1の主面に対向する主面に対して、前記半導体基板の構成材料を除去する工程を行い、前記導電性プラグを露出させる工程とよりなることを特徴とする半導体装置の製造方法。

#### 【0046】

(付記10) 前記塗布絶縁膜は、オルガノシロキサン系材料、水素化シロキサン系材料、有機ポリマー、およびこれらの多孔質材料より選択されることを特徴とする付記9記載の半導体装置の製造方法。

#### 【0047】

(付記11) 前記塗布絶縁膜は、3.0以下の比誘電率を有することを特徴とする付記9または10記載の半導体装置の製造方法。

#### 【0048】

(付記12) 前記半導体基板の第2の主面に対して施される、前記半導体基板の構成材料を除去する工程はドライエッティング工程よりなり、前記塗布絶縁膜は、前記ドライエッティング工程に対して耐性を有する材料よりなることを特徴とする付記9～11のうち、いずれか一項記載の半導体装置の製造方法。

#### 【0049】

(付記13) 前記ドライエッティング工程は、前記導電性プラグを、前記半導体基板の前記第2の主面において、前記塗布絶縁膜により覆われた状態で露出させることを特徴とする付記12記載の半導体装置の製造方法。

【0050】

(付記14) さらに前記第2の主面において露出された導電性プラグを覆う前記塗布絶縁膜を化学機械研磨法により除去する工程と、前記塗布絶縁膜が除かれた前記導電性プラグ上にコンタクトパッドを形成する工程とを含むことを特徴とする付記13記載の半導体装置の製造方法。

【0051】

(付記15) さらに前記第2の主面において露出された導電性プラグを覆う前記塗布絶縁膜をアッシングにより除去する工程と、前記塗布絶縁膜が除かれた前記導電性プラグ上にコンタクトパッドを形成する工程とを含むことを特徴とする付記13記載の半導体装置の製造方法。

【0052】

【発明の効果】 本発明によれば、半導体基板中に形成される貫通電極の欠陥が除去され、信頼性の高い半導体装置が得られる。前記半導体基板中において前記貫通電極は低誘電率塗布膜よりなるスリーブで囲まれているため寄生容量が減少し、半導体装置は高速で動作することができる。かかる半導体装置を積層することにより、高速で動作し、信頼性の高い3次元半導体集積回路装置が得られる。

【図面の簡単な説明】

【図1】

従来の3次元半導体集積回路装置の構成を示す図である。

【図2】

(A), (B) は、従来の半導体装置の製造工程を説明する図(その1)である。

【図3】

(C), (D) は、従来の半導体装置の製造工程を説明する図(その2)である。

【図4】

(E), (F)は、従来の半導体装置の製造工程を説明する図(その3)である。

【図5】

(G), (H)は、従来の半導体装置の製造工程を説明する図(その4)である。

【図6】

(A), (B)は、本発明の一実施例による半導体装置の製造工程を説明する図(その1)である。

【図7】

(C), (D)は、本発明の一実施例による半導体装置の製造工程を説明する図(その2)である。

【図8】

(E), (F)は、本発明の一実施例による半導体装置の製造工程を説明する図(その3)である。

【図9】

(G), (H)は、本発明の一実施例による半導体装置の製造工程を説明する図(その4)である。

【図10】

(I)は、本発明の一実施例による半導体装置の製造工程を説明する図(その5)である。

【図11】

(J)は、本発明の一実施例による半導体装置の製造工程を説明する図(その6)である。

【図12】

(K)は、本発明の一実施例による半導体装置の製造工程を説明する図(その7)である。

【図13】

(L)は、本発明の一実施例による半導体装置の製造工程を説明する図(その

8) である。

【符号の説明】

10 支持基板

10A 配線パターン

10B はんだバンプ

11A~11D 半導体チップ

11a~11d 貫通電極

21, 41 Si 基板

21A, 21B, 41A, 41B 拡散領域

21C, 41C 凹部

21c ボイド

22, 42 ゲート電極

23, 43 絶縁膜

23A, 23B, 43A, 43B 導電性プラグ

23C, 43C 開口部

24, 44 レジスト

24A, 44A レジスト開口部

25 CVD-SiN 膜

26, 46, 49 Cu 層

26A, 46A Cu プラグ

27, 28, 47, 48 層間絶縁膜

27A, 28A, 47A, 48A Cu 配線パターン

45 塗布絶縁膜

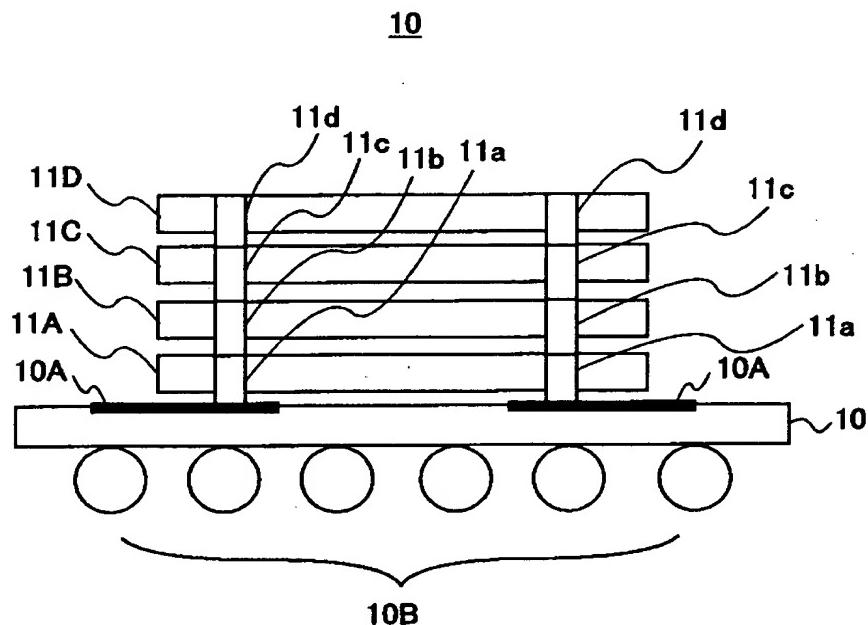
45A 空間

45B スリーブ

50 電極パッド

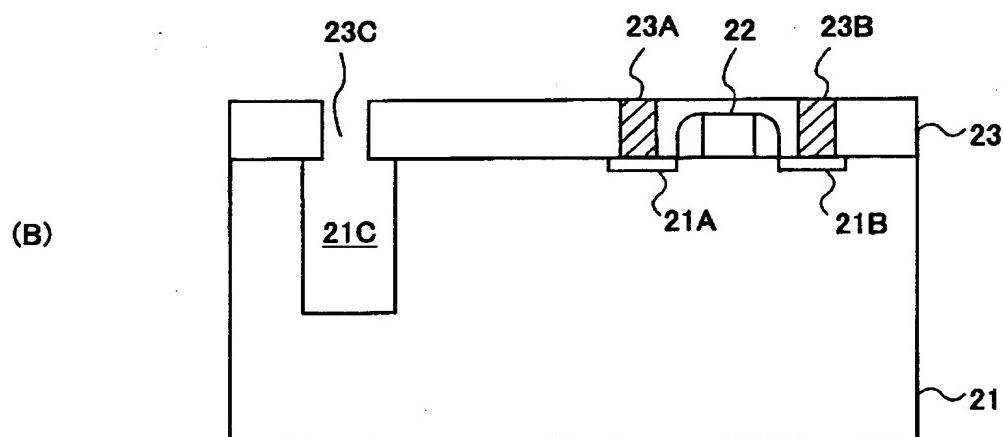
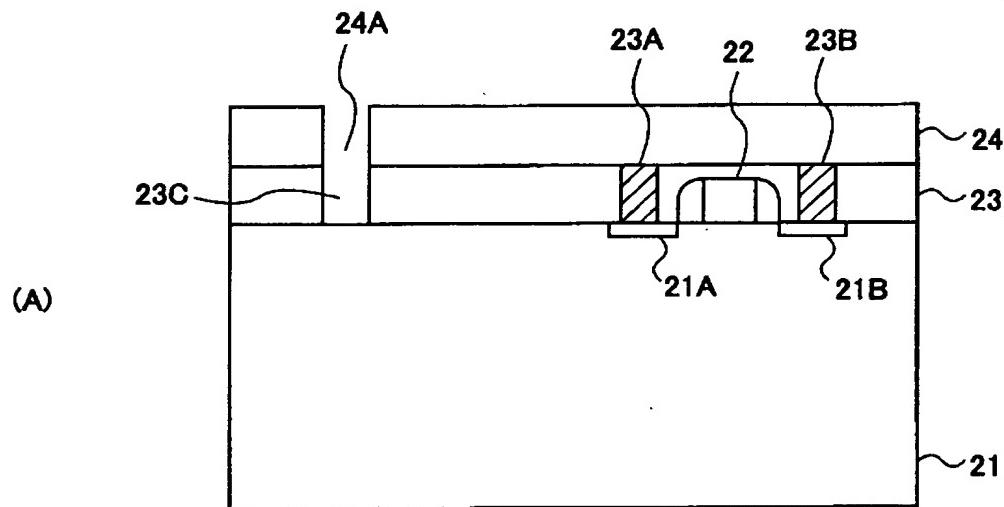
【書類名】 図面  
【図1】

従来の3次元半導体集積回路装置の構成を示す図



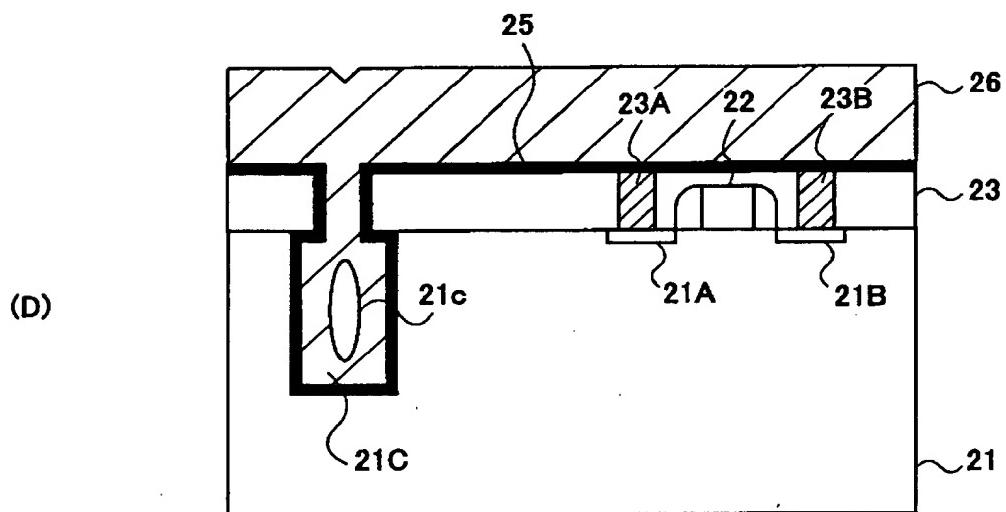
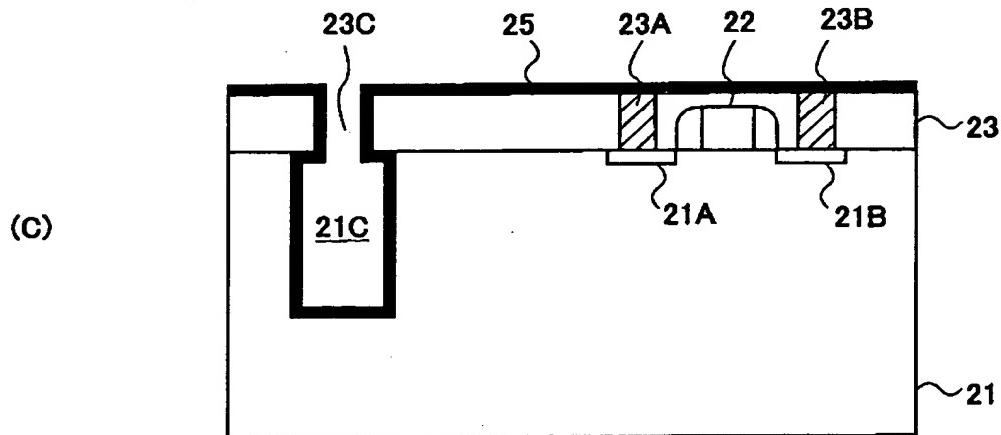
【図2】

(A)、(B)は、従来の半導体装置の製造工程を説明する図(その1)



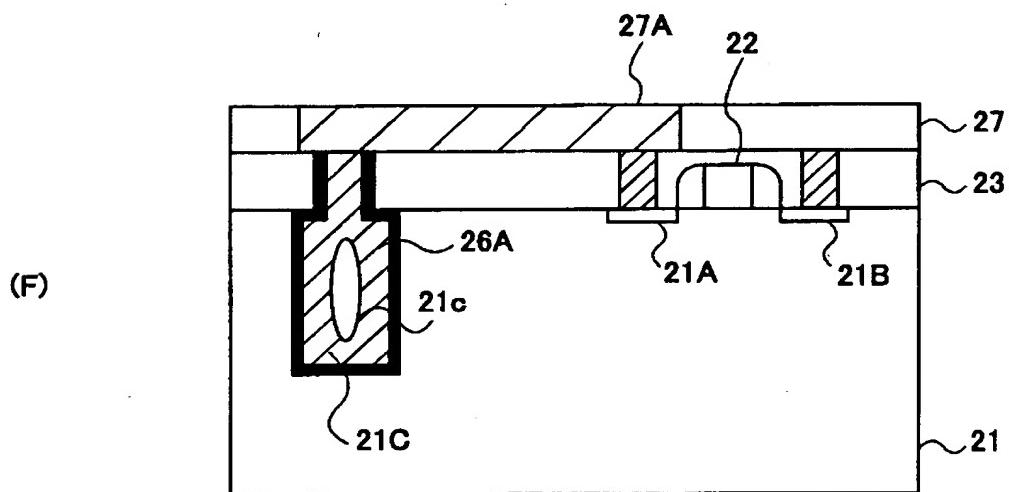
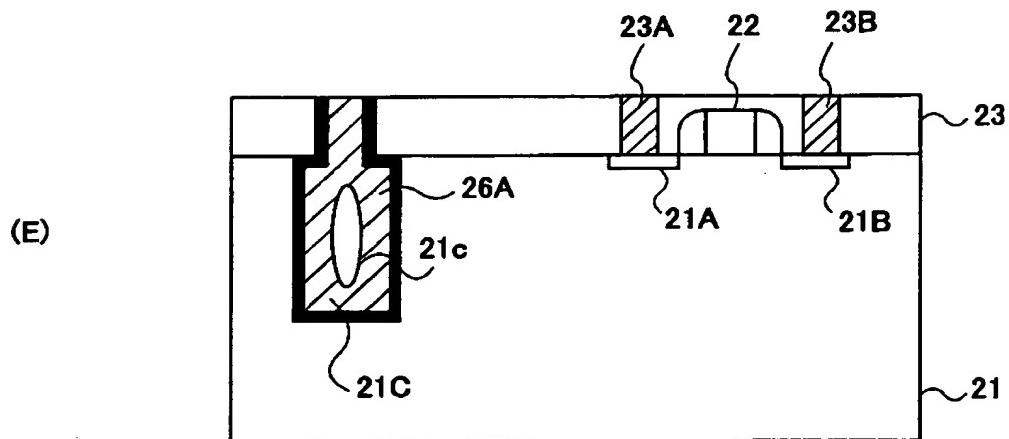
【図3】

(C)、(D)は、従来の半導体装置の製造工程を説明する図(その2)



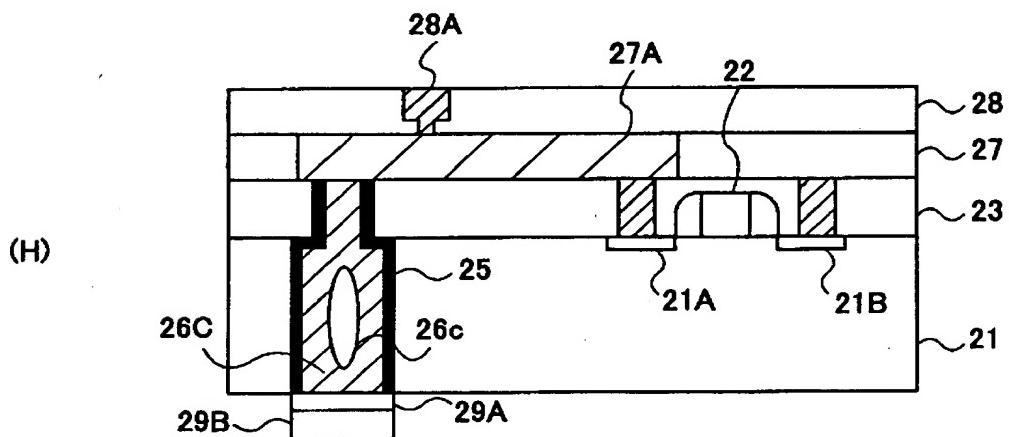
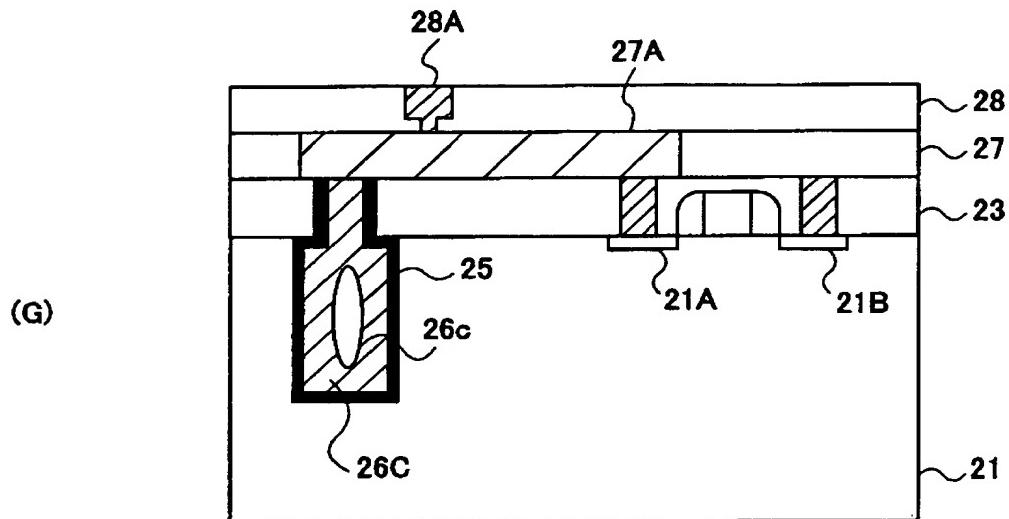
【図4】

(E)、(F)は、従来の半導体装置の製造工程を説明する図(その3)



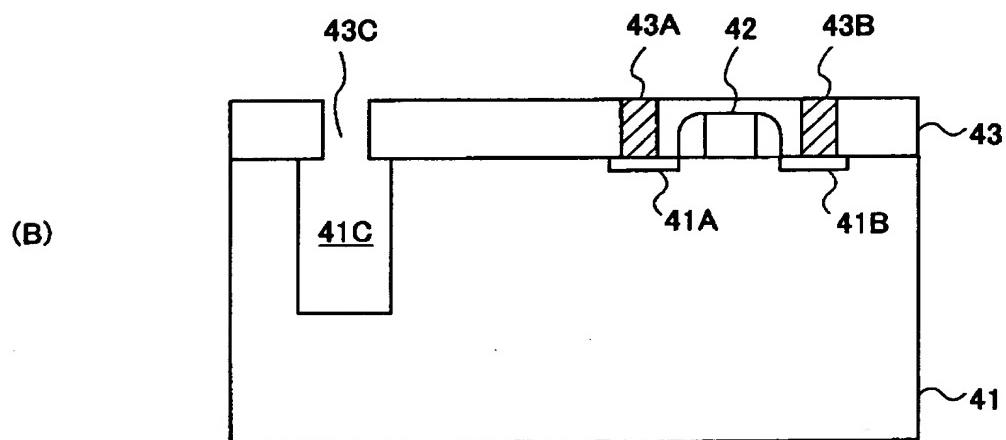
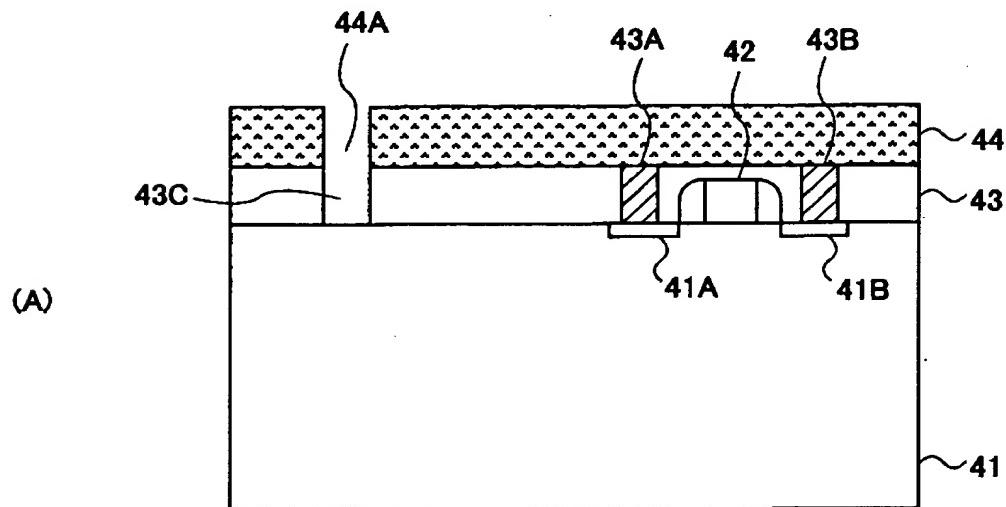
【図5】

(G)、(H)は、従来の半導体装置の製造工程を説明する図(その4)



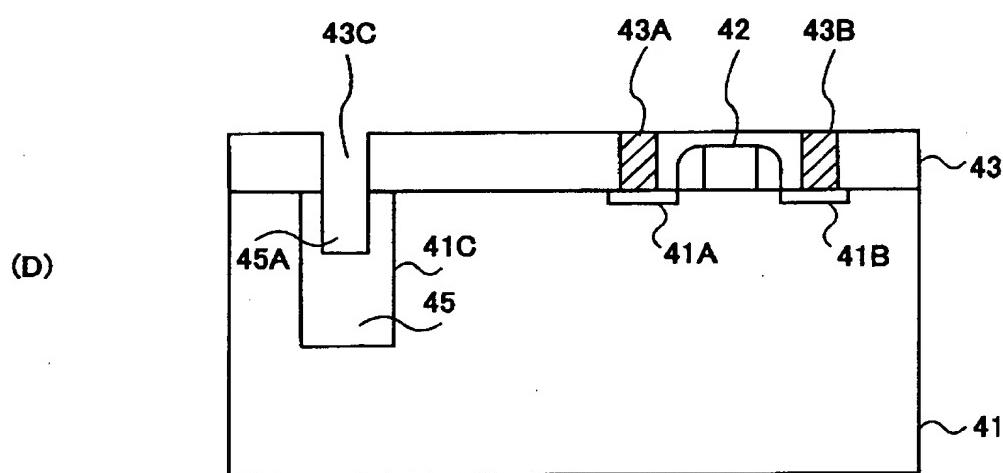
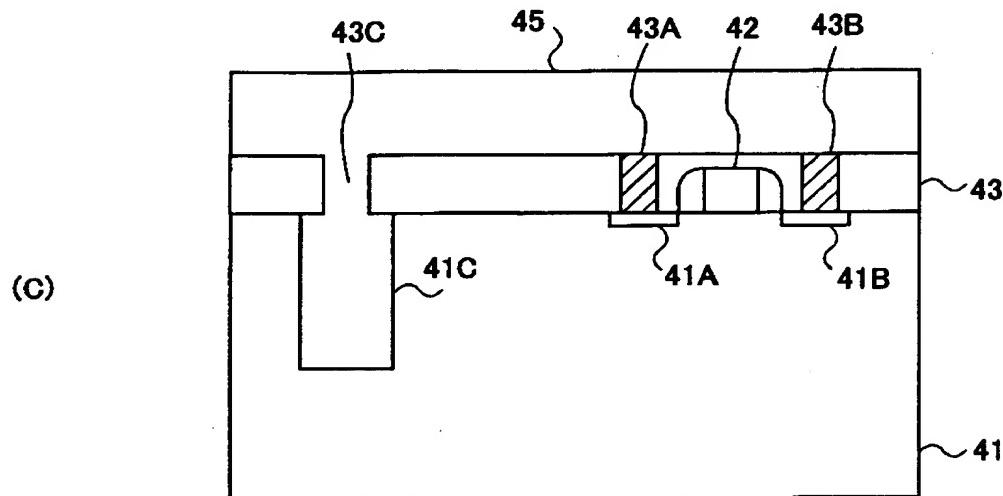
【図6】

(A)、(B)は、本発明の一実施例による  
半導体装置の製造工程を説明する図(その1)



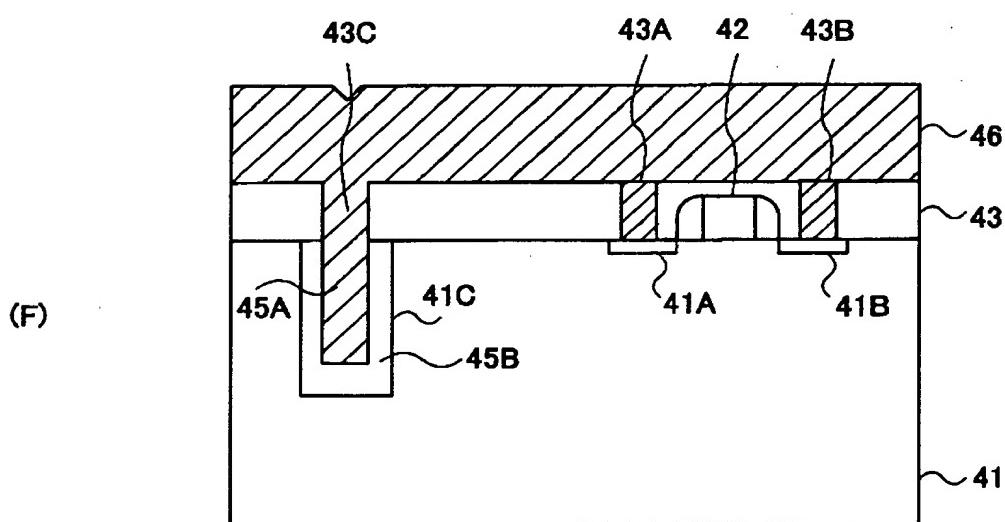
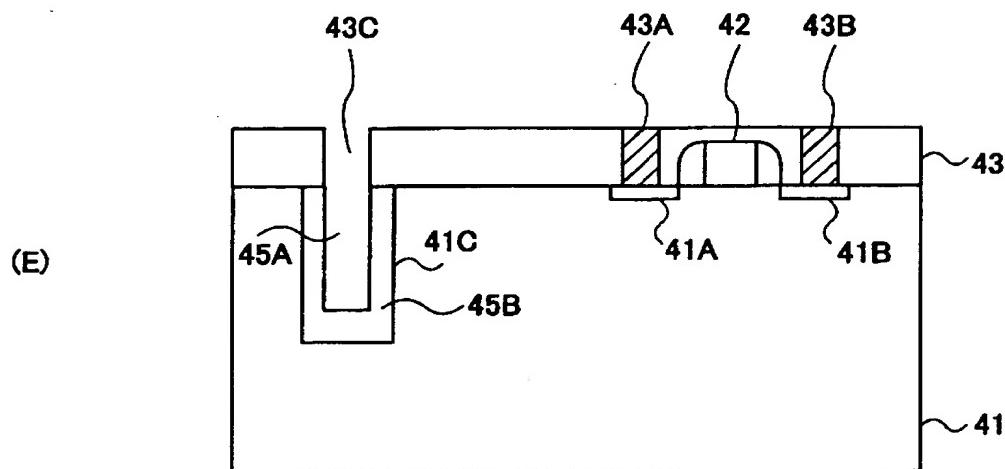
【図7】

(C)、(D)は、本発明の一実施例による  
半導体装置の製造工程を説明する図(その2)



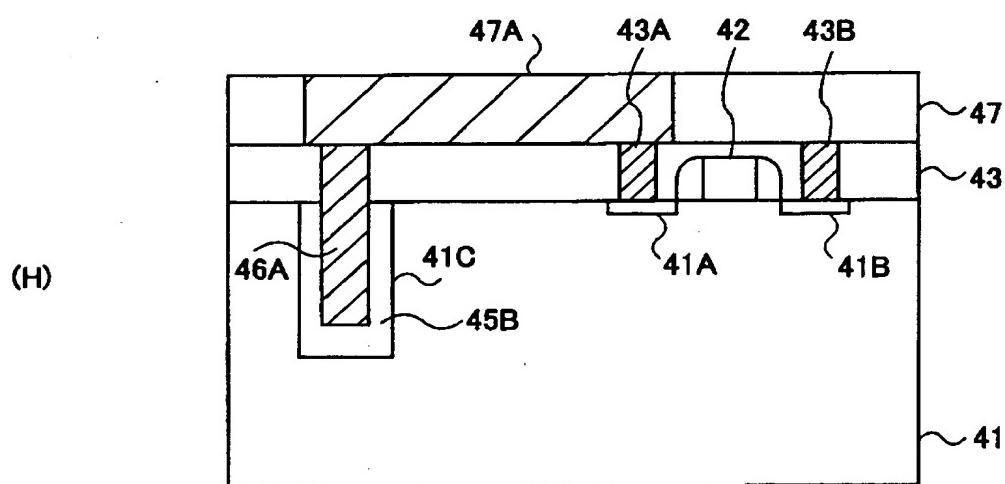
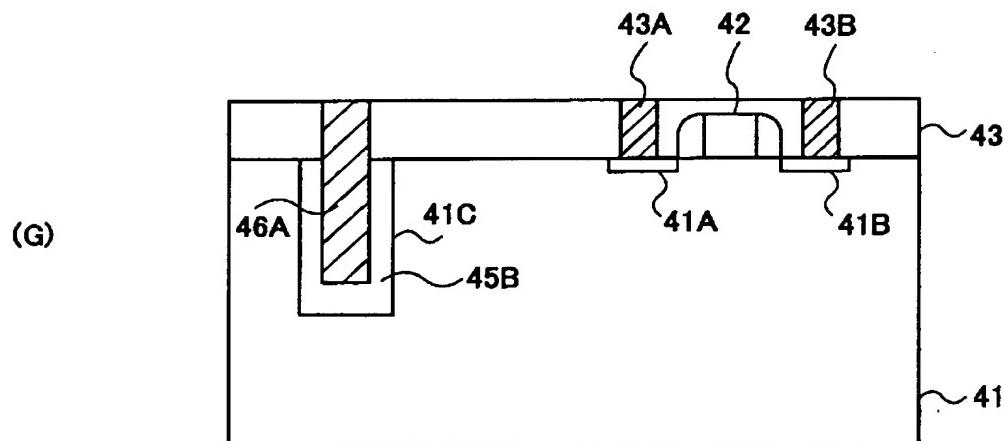
【図8】

(E)、(F)は、本発明の一実施例による半導体装置の製造工程を説明する図(その3)



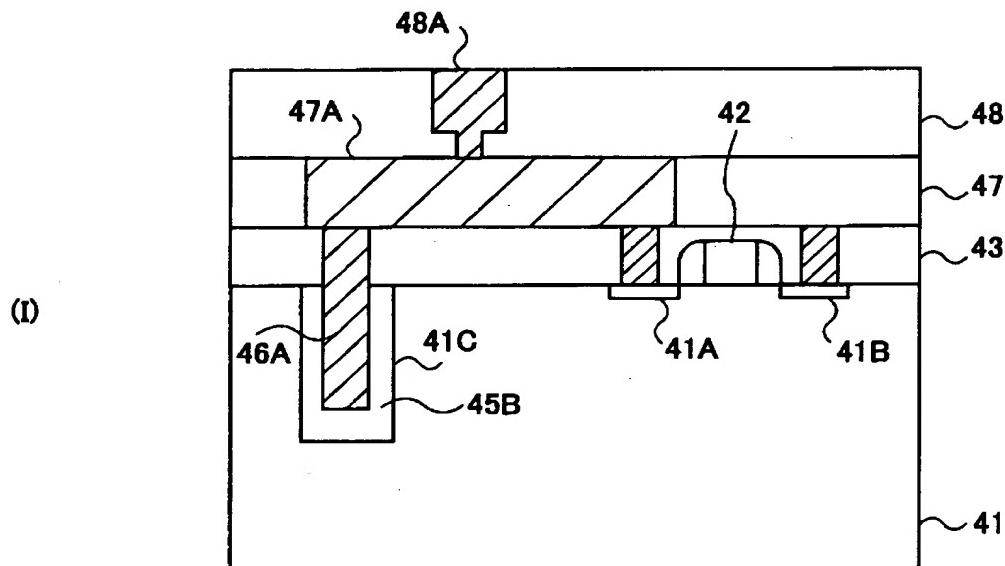
【図9】

(G)、(H)は、本発明の一実施例による半導体装置の製造工程を説明する図(その4)



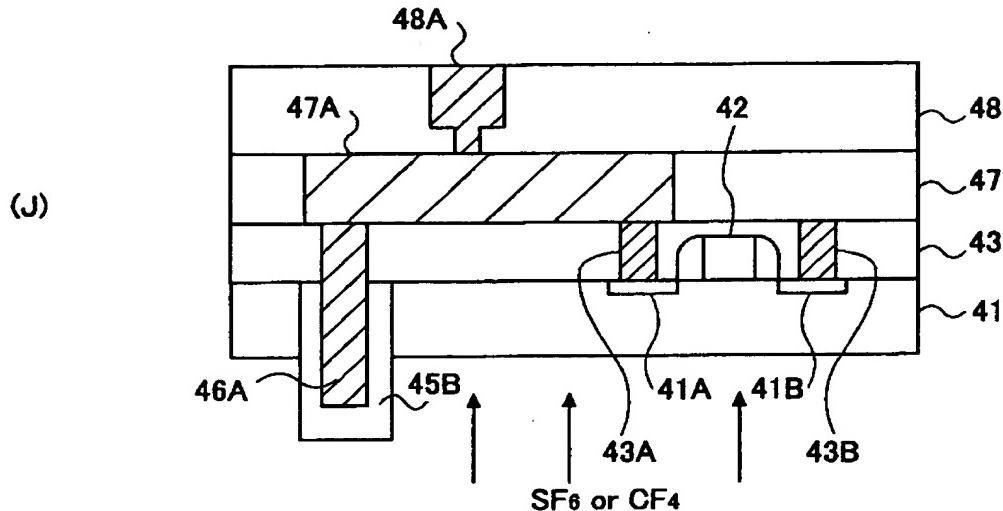
【図10】

(I)は、本発明の一実施例による  
半導体装置の製造工程を説明する図(その5)



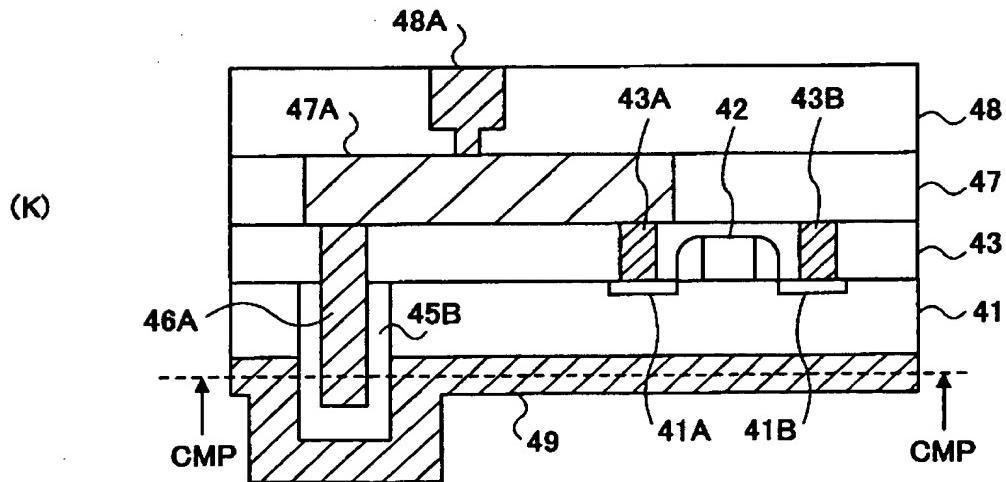
【図11】

(J)は、本発明の一実施例による  
半導体装置の製造工程を説明する図(その6)



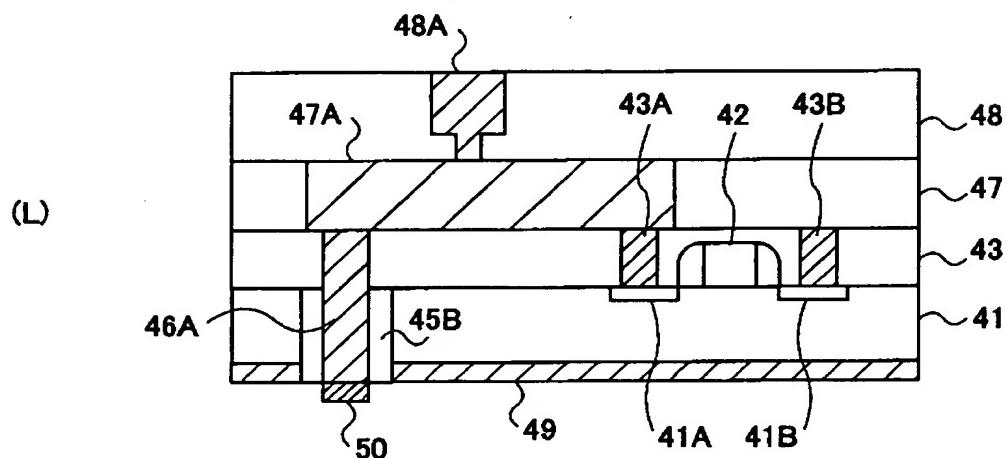
【図12】

(K)は、本発明の一実施例による  
半導体装置の製造工程を説明する図(その7)



【図13】

(L)は、本発明の一実施例による  
半導体装置の製造工程を説明する図(その8)



【書類名】 要約書

【要約】

【課題】 半導体基板中に貫通電極を備えた高速半導体装置を提供する。

【解決手段】 半導体基板中に凹部を、基板表面に形成した絶縁膜をハードマスクに使って形成し、かかる凹部をアンダーカット部も含めて低誘電率塗布絶縁膜で充填した後、前記ハードマスクを使って前記凹部中の低誘電率塗布絶縁膜中に凹部を前記塗布絶縁膜がスリーブを形成するように形成し、かかる凹部をCuで充填してCuプラグを形成する。さらに多層配線構造を形成した後、前記半導体基板の裏面を研削およびエッチングし、前記Cuプラグを露出させる。

【選択図】 図8

出願人履歴情報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号  
氏 名 富士通株式会社